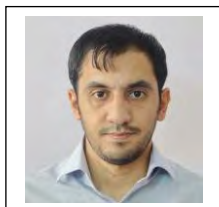


بهینه سازی طرح مدار تمام جمع کننده باینری تک بیتی در منطق

Static CMOS از نظر توان متوسط مصرفی و سرعت با

IPO, Fuzzy-IPO, PSO, Fuzzy-PSO



فرشید کیوانیان

دانشجوی کارشناسی ارشد الکترونیک، دانشکده مهندسی برق و کامپیوتر، دانشگاه بیرجند، ایران

FarshidKeivanian@Birjand.ac.ir

نام ارائه دهنده: فرشید کیوانیان

خلاصه

در این مقاله، طرح بهینه (Optimum Layout) برای مدار تمام جمع کننده باینری تک بیتی در منطق CMOS ایستایی با کمترین مقدار تاخیر انتشار و توان متوسط مصرفی به کمک الگوریتم های فراابتکاری بدست می آید. ابتدا چندین منطق از خانواده CMOS مانند Static CMOS، Dual rail domino و GDI از نظر تکنولوژی ساخت، ولتاژ کاری، تاخیر و توان مصرفی بررسی و مقایسه شده اند و طرح منطق Static CMOS با استفاده از الگوریتم های بهینه سازی صفحات شیب دار (IPO)، بهینه سازی فاز صفحات شیب دار (Fuzzy-IPO)، بهینه سازی گروه ذرات (PSO) و بهینه سازی فاز گروه ذرات (Fuzzy-PSO) از نظر حاصلضرب توان متوسط مصرفی در تاخیر انتشار (PDP) بهینه می شود، فاز سازی الگوریتم ها باعث بهبود عملکردشان می شود و بهترین طرح (Layout) به کمک Fuzzy-IPO به ازای مقدار PDP برابر ۳ آتوژول (3 aJ) در تکنولوژی $L=0.18\mu\text{m}$ و ولتاژ کاری $VDD = 5\text{v}$ حاصل شد که از نتایج مقالات بررسی شده بهتر می باشد.

کلمات کلیدی: طرح بهینه (Optimum Layout)، مدار Static CMOS Full Adder، کمیت PDP، الگوریتم های فراابتکاری (IPO, Fuzzy-IPO, PSO, Fuzzy-PSO).