9th SASTech Symposium on Advances in Science & Technology (2014)
نهمین سمپوزیوم پیشرفت های علوم و تکنولوژی
مشهد- ۱۳ آذر- ۱۳۹۳
کمیسیون دوم: همایش ملی علوم و مهندسی کامپیوتر
بامحوریت
امنیت ملی و توسعه پایدار
برگزارکننده: موسسه آموزش عالی خاوران
www.khi.ac.ir

بهینه سازی طرح مدار تمام‌جمع‌کننده باینری تک‌بیتی در منطق Static CMOS از نظر توان متوسط مصرفی و سرعت با IPO, Fuzzy-IPO, PSO, Fuzzy-PSO

فرشید کیوانیان

دانشجوی کارشناسی ارشد الکترونیک، دانشکده مهندسی برق و کامپیوتر، دانشگاه بیرجند، ایران

FarshidKeivanian@Birjand.ac.ir

نام ارائه‌دهنده: فرشید کیوانیان

خلاصه

در این مقاله، طرح بهینه(Optimum Layout) برای مدار تمام جمع کننده باینری تک بیتی در منطق CMOS ایستایی با کمترین مقدار تاخیر انتشار و توان متوسط مصرفی به کمک الگوریتم های فراابتکاری بدست می آید.ابتدا چندین منطق از خانواده CMOS مانند Static CMOS، Dual rail domino و GDI از نظر تکنولوژی ساخت، ولتاژ کاری، تاخیر و توان مصرفی بررسی و مقایسه شده اند و طرح منطق Static CMOS با استفاده از الگوریتم های بهینه سازی صفحات شیب‌دار(IPO)، بهینه سازی فازی صفحات شیب‌دار(Fuzzy-IPO)، بهینه سازی گروه ذرات(PSO) و بهینه سازی فازی گروه ذرات (Fuzzy-PSO) از نظر حاصلضرب توان متوسط مصرفی در تاخیر انتشار (PDP) بهینه می شود، فازی سازی الگوریتم ها باعث بهبود عملکردشان می شود و بهترین طرح (Layout) به کمک Fuzzy-IPO به ازای مقدار PDP برابر ۳ آتوژول(3 aJ) در تکنولوژی L=0.18µm و ولتاژ کاری VDD = 5v حاصل شد که از نتایج مقالات بررسی شده بهتر می باشد.

کلمات کلیدی: طرح بهینه (Optimum Layout)، مدار Static CMOS Full Adder، کمیت PDP، الگوریتم های فراابتکاری (Fuzzy-PSO، PSO، Fuzzy-IPO، IPO).