



اولین همایش ملی فناوری در مهندسی کاربردی باشگاه پژوهشگران جوان و نخبگان دانشگاه آزاد اسلامی (NCTAE2016)
واحد تهران غرب، 21 بهمن ماه 1395



طراحی مدار تمام جمع کننده توان پایین در ناحیه زیر آستانه با استفاده از تکنیک گیت نمودن تغذیه
سید عبدالرضا قاضی میرسعید¹

¹¹ مدرس آموزشکده فنی و حرفه ای سما، دانشگاه آزاد اسلامی، واحد کرج، کرج، ایران
ghazimirsaeed@hotmail.com

چکیده

با ادامه روند کوچک شدن طول کانال ترانزیستورها در تکنولوژیهای CMOS مقیاس نانو، جریان نشتی افزایش می‌یابد بطوریکه توان نشتی، مخصوصاً در گیت‌های عریض، مولفه بسیار زیادی از کل توان تلفاتی سیستم را تشکیل می‌دهد. از سوی دیگر افزایش جریان نشتی منجر به کاهش مصنویت در برابر نویز مخصوصاً در گیت‌های دینامیکی عریض با درون دهی زیاد می‌گردد. بنابراین کاهش توان نشتی و افزایش مصنویت در برابر نویز به موضوع مهمی در کاربردهای توان پایین و عملکرد بالا مانند وسایل قابل حمل تبدیل شده است. توان استاتیکی معمولاً در مدارهای با فشردگی پائین قابل صرف نظر است، اما با مقیاس بندی تکنولوژی و افزایش چگالی ترانزیستورها در تراشه‌ها، بخش عمده‌ای از توان کل را به خود اختصاص داده است. در این مقاله از روش گیت نمودن تغذیه در طراحی مدار تمام جمع کننده در ناحیه زیر آستانه استفاده شده است. مدار جمع کننده پیشنهادی با تکنولوژی 180 نانومتر شبیه سازی گردیده است. نتایج شبیه سازی بهبود قابل ملاحظه ای از نظر توان مصرفی را نشان می‌دهد.

کلید واژه- جمع کننده، توان پایین، زیر آستانه، گیت تغذیه

1- مقدمه

با پیشرفت تکنولوژی افزایش توان نشتی یک عامل مهم در مصرف توان بشمار می‌رود از این جهت طراحی مدارات VLSI با استفاده از تکنیک‌های توان پایین یکی از موارد مهم در طراحی این مدارات، جهت کاهش توان استاتیکی مدار می‌باشد. در این مقاله جهت کاهش توان مصرفی از تکنیک گیت نمودن تغذیه استفاده شده است و مدار در دو حالت خواب یا فعال قرار می‌گیرد. در این روش طراحی جهت کاهش توان مصرفی از یک ترانزیستور بین ریل تغذیه و زمین استفاده می‌گردد، زمانیکه ترانزیستور در حالت خواب قرار می‌گیرد مسیر نشتی قطع شده و توان مصرفی در این حالت به حداقل مقدار ممکن خواهد رسید. کاهش طول کانال و به‌روز تر شدن تکنولوژی موجب کاهش ولتاژ آستانه و اندازه فیزیکی مدارات خواهد شد و این امر افزایش جریان نشتی مدار را بدنبال خواهد داشت. افزایش جریان نشتی در ترانزیستورها موجب اثرگذاری روی دیگر ترانزیستورها می‌گردد، اما با استفاده از روش طراحی مذکور می‌توان از بوجود آمدن این عیوب جلوگیری نمود. در روش گیت نمودن تغذیه می‌توان از ولتاژ آستانه بالا برای ترانزیستورهای قرار گرفته در حالت خواب در هنگام قطع ولتاژ تغذیه در زمان غیرفعال بودن سوئیچ در مدار بهره برد.

همچنین با استفاده از روش MTCMOS و استفاده از ترانزیستورهای با ولتاژ آستانه مختلف می‌توان موجب کاهش نشتی و در نتیجه کاهش توان مصرفی در مدار گردید، سطح تراشه طراحی شده نیز بعنوان عاملی تاثیرگذار در مصرف توان کل مدار بشمار می‌رود که جهت محدود نمودن میزان توان مصرفی باید به آن توجه نمود.