دومین کنفرانس ملی پژوهش های نوین در
مهندسی برق و کامپیوتر
تهران- شهریور ۱۳۹۶
موسسه آموزش عالی بصیر

مسیریابی اطلاعات در شبکه‌های بر تراشه‌ی سه بعدی و چالش‌های آن

الهام خدادادی حسین آبادی[۱]، دکتر بهرنگ برکتین *[۱]، دکتر الهام یعقوبی [۱]

[۱]- دانشکده مهندسی کامپیوتر، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران

خلاصه

مطابق با پیش‌بینی‌های ITRS[۱]، تراشه‌های سه بعدی به عنوان تکنولوژی جایگزین برای بهبود کارایی تراشه‌های ساخته شده با تکنولوژی‌های کوچکتر از ۶۵ نانومتر استفاده می‌شوند. این تکنولوژی موجب می‌شود تا طول و تعداد سیم‌های طولانی که از عوامل اصلی تأخیر و اتلاف توان در تراشه‌های دوبعدی هستند کاهش قابل توجه‌ای داشته باشند. با توجه به هزینه‌ی بالای ساخت کانال‌های عمودی در تراشه‌های سه بعدی، این کانال‌ها به صورت غیرمنظم و موردی در برخی از نقاط یک تراشه سه بعدی کار گذاشته می‌شوند. غیرمنظم بودن کانال‌های عمودی که به آن‌ها کانال‌های درون سیلیکون[۲] نیز گفته می‌شود، مسأله مسیریابی اطلاعات در شبکه‌های بر تراشه سه بعدی را متفاوت از مسیریابی در شبکه‌های دو بعدی کرده است. مشکل اصلی، تعیین کردن استراتژی مسیریابی بسته هاست، چرا که الگوریتم‌های معمول که برای تکنولوژی دو بعدی استفاده می‌شدند در این‌جا قابل استفاده نیستند. الگوریتم‌های مسیریابی باید حائز ویژگی هایی نظیر سادگی، کارایی بالا، وفق‌پذیری، تحمل‌پذیری در برابر اشکال، تحمیل سربار و افزونگی کم از لحاظ سخت‌افزار و بدون بن‌بست بودن باشند. این الگوریتم‌ها باید به‌گونه‌ای طراحی شوند تا بتوانند حداکثر اشکالات رخ داده در کانال-های عمودی را بدون ازکارافتادن شبکه تحمل کنند. از این روست که مقالات متعددی در زمینه‌ی مسیریابی تحمل‌پذیر اشکال برای شبکه‌های بر تراشه‌ی سه‌بعدی ارائه شده است. در این تحقیق به بررسی انواع الگوریتم‌های مسیریابی ارائه شده برای شبکه‌های بر تراشه‌ی سه بعدی می پردازیم.

کلمات کلیدی: بن بست، شبکه بر تراشه، مسیریابی، وفق پذیری، کانال عمودی، کانال مجازی.

۱. مقدمه

در معماری شبکه بر تراشه، پردازنده‌ها، حافظه‌ها و اجزای دیگری از طراحی به وسیله‌ی سوییچ‌هایی به هم متصل می‌شوند تا بسته‌ها را به صورت گام‌به‌گام در شبکه توزیع کنند و پهنای باند و کارایی را افزایش داده و تنگنای ارتباطی را در سیستم‌های مبتنی بر گذرگاه برطرف کنند. تجمیع تراشه‌های سه‌بعدی به جای تراشه‌های دو بعدی یکی از روش‌های بهبود کارایی تراشه‌های چند و بسا هسته‌ای است. در چنین تراشه‌هایی اجزای آنها نیاز به اتصالات سریع با کارایی بالا و مصرف توان پایین دارند. شبکه برتراشه‌ی دوبعدی به عنوان یک روش اتصال کارا و مقیاس‌پذیر مطرح شده بود که ترکیب تجمیع سه‌بعدی و تکنولوژی شبکه بر تراشه افق جدیدی را به روی طراحی اتصالات برتراشه گشوده است [۱و۲]. مزیت اصلی شبکه‌های بر تراشه سه‌بعدی، کاهش قابل توجه در طول و تعداد اتصالات سراسری است که نتیجه‌ی آن کارایی بالاتر و مصرف توان کمتر است. کوچک شدن سایز ترانزیستورها، اتصالات کوتاه‌تر، مشکلات بستن سه‌بعدی[۳] و فرکانس‌های بالاتر مدارات cmos منجر به رخداد نرخ بالاتری از اشکال‌ها و مشکلات بیشتر گرمایی و زمانی شده است [۱]. از این‌رو می‌توان گفت که در طراحی شبکه‌های بر تراشه‌ی سه‌بعدی چالش‌های زیادی وجود دارد. یکی از این چالش‌ها طراحی یک مسیریاب سریع و کم‌مصرف از لحاظ مصرف توان و هزینه‌ی پایین است. به علاوه این مسیریاب باید به صورت کارایی

* **Corresponding author:** بهرنگ برکتین
Email: Behrang_barekatain@iaun.ac.ir